سوال ۵)

الف- مشخصات مدار بدین شکل است:

tclk-q = 50ps, tsetup = 25ps, thold = 25ps

اگر فرض کنیم هیچ انحراف کلاکی (clock skew) نداریم، در این صورت کمترین دوره تناوب ممکن برای کلاک مدار چیست؟

مسیر با بیشترین تاخیر را محاسبه می‌کنیم:

FF to FF:

FF1 -> CL1 -> FF2: 50 + 500 + 25 = 575

FF2 -> CL2 -> FF1: 50 + 250 + 25 = 325

FF2 -> CL3 -> FF3: 50 + 300 + 25 = 375

FF3 -> CL2 -> FF1: 50 + 250 + 25 = 325

* Minimum clock period = 575 ps

ب- در صورتی که دوره کلاک برابر با حداقلِ بدست‌آمده در قسمت الف باشد، آیا با hold time violation روبرو می‌شویم؟

اگر flip-flopها رو از راست به چپ، FF1 و FF2 و FF3 بنامیم، داریم:

Min tpd + tclk-to-q tnd + Max tpd (clk)

FF1 to FF2: 75 + 50 25 + 0

FF2 to FF3: 75 + 50 25 + 0

FF3 to FF1: 25 + 50 25 + 0

FF2 to FF1: 25 + 50 25 + 0

در نتیجه هیچ hold violationای نداریم!

پ- حالا فرض می‌کنیم clk1 و clk2 نسبت به هم به مقدار ۶۰ پیکوثانیه انحراف دارند. حداکثر فرکانس کاری مدار رو در این صورت بدست می‌آوریم و در صورتی که فرکانس کلاک برابر مقدار بیشینه به دست آمده باشد، بدست می‌آوریم که آیا مدار دچار hold time violations می‌شود یا نه؟

tnd +tpd (clk) tclk-to-q + tcomp

25 + 60 50 + 25 نادرست!

پس اگر FF2 -> CL2 -> FF1 را در نظر بگیریم، و کلاک ۱ و ۲ نسبت به هم به مقدار ۶۰ پیکوثانیه انحراف داشته باشند، (اولی منهای دومی برابر با ۶۰ پیکوثانیه)، hold time violations خواهیم داشت.

اما اگر دومی منهای اولی برابر با ۶۰ پیکوثانیه شود، داریم:

FF2 -> CL2 -> FF1: 25 - 60 50 + 25 درست!

FF1 -> CL1 -> FF2: 25 + 60 50 + 75 درست!

پس در این صورت hold time violations نخواهیم داشت.

حالا به بررسی max freqها می‌پردازیم:

در حالت اول (tclk1 – tclk2 = 60)، مسیر اول ماکسیمم مقدار را داشت و ماکسیمم مقدار ممکن (۶۰) نیز به آن اضافه شده است پس همچنان ماکسیمم مقدار ممکن باقی می‌ماند:

50 + 500 + 25 + 60 tclk

50 + 250 + 25 + 60 tclk

Minimum clock period = 635  
max freq = 1.57 GHz

در حالت اول (tclk2 – tclk1 = 60)، داریم:

50 + 500 + 25 – 60 tclk

50 + 250 + 25 + 60 tclk

50 + 250 + 25 – 0 tclk

50 + 300 + 25 + 60 tclk

Minimum clock period = 515  
max freq = 1.94 GHz